
Cursos avanzados de diseño de FPGA Xilinx
Spartan-6, Virtex-6 y series 7 en VHDL

Diseños de altas prestaciones con Spartan-6 y Virtex-6

*Descubrir las increíbles posibilidades de las
arquitecturas Spartan-6 / Virtex-6*

Diseños multi relojes

*Tratamiento Digital de Señal combinando bloques
DSP48 y la nueva arquitectura de slice*

Serializadores y deserializadores a 1Gb/sec

Madrid : 27 y 28 de Febrero 2012

Barcelona : 29 de Febrero y 1 de Marzo 2012

SUMARIO.

DISEÑOS DE ALTAS PRESTACIONES CON SPARTAN-6 Y VIRTEX-6	1
MADRID : 27 Y 28 DE FEBRERO 2012	1
BARCELONA : 29 DE FEBRERO Y 1 DE MARZO 2012	1
PRESENTACION GENERAL	3
OBJETIVOS :	3
REQUISITOS :	3
PRIMER DIA :	4
COMO ESCRIBIR CODIGO VHDL PARA SACAR EL MEJOR PARTIDO DE LAS ARQUITECTURAS SPARTAN-6™, VIRTEX-6™ Y SERIES-7™	4
SEGUNDO DIA :	5
TECNICAS DE IMPLEMENTACION DE FUNCIONES DSP EN VHDL	5
DOCUMENTACION Y EQUIPAMIENTO NECESARIO	7
PRECIO DE LOS CURSOS :	7
DATOS ADMINISTRATIVOS Y FISCALES DE LA EMPRESA QUE IMPARTE EL CURSO :	7
FECHAS, HORARIO Y LUGAR	7
- CURSO MADRID : LUNES 27 Y MARTES 28 DE FEBRERO 2012	8
- CURSO BARCELONA : MIERCOLES 29 Y JUEVES 1 DE MARZO 2012	8
HOTELES A PROXIMIDAD :	8
- MADRID :	8
- BARCELONA :	8
CONDICIONES DE PAGO :	8
INSCRIPCIONES, GARANTIA Y SOPORTE TECNICO :	8
OTRAS INFORMACIONES	9

Sacar el mayor provecho de las arquitecturas Spartan-6 / Virtex-6 para diseños de altas prestaciones y funciones DSP.

Presentacion general

Estos cursos seran impartidos en 2 dias en los locales de AVNET/Silica de Madrid y de Barcelona.

Se analizaran las características de las familias de **FPGA Xilinx Spartan-6 y Virtex-6** para **diseños de muy altas prestaciones**. Entre otros temas abordados :

- Metodologia de diseño síncrono
- Diseños multi relojes, restricciones y estrategia de reset
- Generacion y gestion de relojes usando **PLLs** y los distintos recursos de distribucion
- Serializadores OSERDES y Deserializadores ISERDES de IOBs trabajando a mas de 1GHz, usando el **Architecture Wizard**
- Recursos para implementacion de funciones de Tratamiento Digital de Señal (**DSP48**) para implementacion de filtros **FIR** y otras aplicaciones
- Tecnicas de optimizacion para implementacion de **Decimadores e Interpoladores**
- Tecnicas eficientes de depuracion usando la herramientas **ISE : Timing Analyzer, PlanAhead y el simulador ISIM (o ModelSim)**

La parte practica es basada en una serie de ejercicios practicos con el software **ISE 13.2**, opciones de sintesis/implementacion, restricciones, incluyendo tambien el uso de **Architecture Wizzard, Timing Analyzer y PlanAhead**.

Los participantes estan invitados en traer su laptop, con la version ISE 13.2 instalada, para poder hacer los ejemplos presentados durante las demostraciones.

Se entregaran todos los codigos fuentes de los distintos proyectos a los participantes con las presentaciones en formato PDF, en una memoria USB.

Objetivos :

- Entender los puntos claves de las arquitecturas **Spartan-6 y Virtex-6** para diseños de altas prestaciones
- Dominar la metodologia de diseño y las herramientas disponibles en **ISE**, entre las cuales **Timing Analyzer, PlanAhead y Architecture Wizard**,
- Aplicar las **restricciones de colocacion y de timing** adecuadas y asegurarse de su cumplimiento
- En definitiva, asimilar la metodología de diseño para una total fiabilidad de sus diseños, incrementado la portabilidad del código fuente, reduciendo la cantidad de recursos lógicos y el consumo eléctrico

Requisitos :

- La participacion a este curso requiere un buen conocimiento del language VHDL para sintesis y simulacion, asi como una experiencia previa en el uso de las arquitecturas de FPGA Xilinx y de las herramientas ISE.

Los temas descritos a continuacion seran tratados durante el curso en una forma pedagogica que no necesariamente corresponde al orden presentado en este programa. No se trata de analizar en una forma academica, punto por punto los temas descritos. Mas bien, un mismo tema teniendo implicaciones tanto en las prestaciones requeridas, como en la arquitectura de FPGA, el language VHDL, las herramientas de implementacion y las restricciones, el desarrollo del curso sigue una trama entrelazada entre los diferentes temas, para analizar su interdependencia mutua.

Primer dia :

Como escribir codigo VHDL para sacar el mejor partido de las arquitecturas Spartan-6™, Virtex-6™ y Series-7™

Instructor : Sr Edgard GARCIA (MVD)

Durante este dia se analizan los puntos mas destacados de las arquitecturas de las familias Spartan-6, Virtex-6 y Series-7, para entender como sacarles el maximo provecho con un codigo fuente VHDL al mismo tiempo sencillo, evolutivo y eficiente en cuanto a la optimización de los recursos y reducción de consumo.

Requisitos : Un buen conocimiento del lenguaje VHDL es imprescindible para poder aprovechar este curso. Tambien es necesario conocer el entorno ISE para diseño de FPGAs.

Programa detallado :

❖ Informaciones generales sobre las arquitecturas de las FPGA Xilinx®

- Informaciones generales sobre las arquitecturas de las FPGA Xilinx®
- Recordatorio sobre las arquitecturas Spartan-3™ y Virtex-4™
- Inovaciones arquitecturales en el slice de las familias Spartan-6™, Virtex-6™ y Series-7™
- Red de distribucion de relojes
 - BUFG
 - BUFIO & BUFIO2FB
 - BUFPLL
- Dispositivos de gestion de relojes
 - DCM
 - PLL
- Estructura de los bloques de entrada-salida
 - Flip-flops de IOs
 - Modos DDR y SDR
 - ISERDES2, OSERDES2 y generacion/distribucion de relojes rapidos (1GHz+)
- Bloques de RAM Spartan-6™ y Virtex-6™/Series-7™
- Bloques DSP48 Spartan-6™ y Virtex-6™/Series-7™

❖ Recomendaciones en cuanto a la metodologia de diseño digital

- Diseños multi relojes
- Metodologia de Reset – precauciones importantes
- Simulacion y uso eficiente del Timing Analyzer
- Nocions de pipeline para incrementar las frecuencias de trabajo

- Restricciones de timing
- ❖ **Consejos para escritura del código VHDL**
 - Consejos generales para un código válido, independiente de la herramienta de síntesis
 - Diferencias de interpretación de varias construcciones VHDL entre síntesis y simulación
 - Construcciones elegantes y eficientes frecuentemente útiles
 - Ejemplos de inferencia para funciones importantes
 - Memoria distribuida simple y doble puerto
 - Registros de desplazamientos compactos (SRL)
 - Inferencia de bloques de RAM en configuración básica
 - Código de inferencia de bloques de RAM en modo doble puerto y configuración diferente de los dos puertos de acceso
 - Ejemplos de inferencia de bloques DSP48 para funciones frecuentemente usadas
- ❖ **Opciones, restricciones y atributos de síntesis**
 - Análisis de las opciones más importantes – síntesis, Translate, Map y Par
 - Principales restricciones de timing
 - Atributos de síntesis para optimización y predictabilidad de resultados
- ❖ **Preguntas/respuestas**

Segundo día :

Técnicas de implementación de funciones DSP en VHDL

Instructor : Sr Edgard GARCIA (MVD)

Durante este día, se analizan los modos de implementación de un gran número de funciones DSP así como su interacción con los bloques de entrada ISERDES y OSERDES rápidos para adquisición y restitución de datos, para comunicación con elementos exteriores de altas prestaciones (ADCs, DACs, memorias externas). Los aspectos de optimización de recursos y reducción de consumo a partir de un código sencillo, claro, compacto, fácilmente mantenible y portable son los puntos más destacados de esta formación.

Programa detallado :

- ❖ **Fundamentos de tratamiento digital de señal**
 - Nociones de aritmética e implementación hardware
 - Aritmética sin signo
 - Aritmética con signo y complemento a dos
 - Reglas VHDL para descripción de funciones aritméticas
 - Suma, resta, multiplicación
 - Números fraccionales y noción de coma fija
 - Nociones de truncación y de redondeo. Implementación en VHDL
 - Nociones de saturación – ejemplos concretos

❖ Filtros FIR

- Estructuras secuenciales y paralelas
- Noción de dinámica – redondeo – saturación
- Ejemplo de filtro MAC (multiplicador - acumulador)
 - Como combinar eficientemente las funciones SRL, memoria distribuida y los bloques DSP48
 - Aprovechar la simetría de los coeficientes sacando provecho de las arquitecturas de la estructura de las FPGA Spartan-6, Virtex-6 y Series-7
- Ejemplos de filtros usando de múltiples Multiplicadores-Acumuladores
 - Entender la secuencia de operaciones para poder optimizar el número de recursos usados mientras se incrementa la frecuencia de trabajo – reduciendo el consumo
 - Ejemplos concretos en VHDL y análisis de técnicas complementarias
- **Filtros paralelos a base de bloques DSP48**
 - Estructura en árbol de sumadores
 - Estructura Transpose : sacar un mejor provecho de las arquitecturas para aumentar las prestaciones con un código VHDL fuente simplificado
 - Estructura de filtro sistólico para frecuencias de trabajo – aun más elevadas
 - Aprovechando la simetría de coeficientes en un filtro sistólico
 - Simetría de coeficientes en la estructura de filtro Transpose
- **Filtros paralelos a base de slices**
 - Descomposición de la estructura de un filtro en un conjunto de sumadores y restadores
 - Traducción en código VHDL : implementación de un filtro FIR paralelo en Spartan6 de N Taps – 100 MHz en código fuente comportamental y evolutivo de unas pocas líneas
 - Mejoras posibles : retiming y otras consideraciones
- **Nociones de filtros multi-rate**
 - Interpolación y organización en filtros polyphase
 - Ejemplo VHDL
 - Decimación y organización en filtro polyphase
 - Consejos para aprovechar la simetría
 - Ejemplo de filtro interpolador HalfBand
 - Análisis del código fuente VHDL
- **Implementación de NCOs y modulación/demodulación**
 - Generación de un NCO aprovechando la simetría de los cuatro cuartos de la tabla de sinus/cosinus
 - Aprovechar la arquitectura de los bloques de RAM para una implementación más eficaz
 - Nociones de modulación de una señal compleja : $I \times \text{Sin} + Q \times \text{Cos}$, combinando dos bloques DSP – y aprovechando sus conexiones directas para reducir el consumo mientras alcanzado mayores frecuencias de trabajo
 - Implementación del redondeo sin usar recursos adicionales
 - Caso de un Up Converter en Spartan-6™ para un DAC 16 bits @1GHz
 - Filtro interpolador por 8 (de 125 MHz a 1 GHz) implementado con slices
 - Modulación en una frecuencia de portadora entre 0 y 500 MHz
 - Uso eficiente de los recursos de generación/distribución de relojes
 - Usar los OSERDES para comunicación con el DAC 16 bits @1GHz
- **Nociones de FFT (según tiempo disponible)**
 - diferentes modos posibles de implementación según las prestaciones requeridas
 - Estimación de las frecuencias de trabajo y recursos asociados

- Uso de la herramienta Xilinx CoreGen
- Otras funciones DSP (**segun tiempo disponible**)
 - Histograma

❖ **Preguntas/respuestas**

Documentacion y equipamiento necesario

- La documentación se entregara en forma de archivos PDF, en una memoria USB en la cual los proyectos ISE y archivos VHDL comentados serán también almacenados
- **Los participantes están invitados en traer su ordenador portátil** con el software **ISE 13.2** o **WebPack 13.2** instalado para poder efectuar las practicas durante el curso, y abrir los archivos PDF para poder anotarlos en caso de necesidad.
- Para participantes de una misma empresa, un PC para cada dos participantes es suficiente

Precio de los cursos :

- **Curso de 2 dias : 14 Training Credits o 800 Euros + IVA 18%**
- Descuento 20% para el segundo participante y siguientes de una misma empresa.
- El almuerzo esta incluido en el precio para cada dia

Datos administrativos y fiscales de la empresa que imparte el curso :

Media Video Diseño

Calle Oliva 10, 2B
17600 FIGUERAS
Girona – España

NIF : B17894460

Instructor : Sr Edgard GARCIA

Fechas, horario y lugar

- **De 9h a 13h y de 14h30 a 17h30**
- **8h45 : Cafe y zumos de bienvenida**
- **Coffee breaks de 10 minutos a las 11h y 16h**

- **Curso Madrid : Lunes 27 y Martes 28 de Febrero 2012**

Oficinas Avnet Silica
Calle Chile 10
Edificio Madrid 92
2da Planta – Oficina 229
E-28290 Las Matas

- **Curso Barcelona : Miercoles 29 y Jueves 1 de Marzo 2012**

Oficinas Avnet Silica
Avnet Silica
Calle Mallorca 1,
2da Planta
08114 Barcelona

Hoteles a proximidad :

- **Madrid :**

- **Gran Hotel Las Rozas ****** (Calle Chile, Las Matas) Tel : 916 30 84 10
 - **Travelodge ***** (Calle Peru, Las Matas) Tel : 916301717
- Ambos hoteles quedan a menos de 500m de las oficinas de Avnet/Silica

- **Barcelona :**

- **Hotel Torre Catalunya ****** (Avenida Roma 2-4) Tel 936 00 69 99
 - **Expo Hotel ****** (Calle Mallorca) Tel : 936 00 30 00
- Ambos hoteles quedan a 200m de las oficinas de Avnet/Silica

Condiciones de pago :

por transferencia bancaria a recepcion de factura y antes del 31 de Enero

Inscripciones, garantia y soporte tecnico :

- **Para inscribirse, mandar una orden de pedido a la direccion siguiente :**
- mvd.iberia@mvd-fpga.com

Nota importante :

El orden de pedido debe incluir todos los datos necesarios para establecer la facturacion

- Nombre y direccion de la empresa
 - Nombre y apellido del participante
 - NIF o CIF
- **Para informacion adicional por telefono o email :**
- edgard.garcia@mvd-fpga.com
 - Tel : 679 07 83 83
- **Los participantes tendran derecho a un soporte tecnico gratuito para preguntas relacionadas con el contenido del curso, durante los 6 meses que siguen la formacion. Las preguntas podran hacerse por email o por telefono :**
- edgard.garcia@mvd-fpga.com
 - Movistar : 679 07 83 83

Otras informaciones

MVD es centro oficial de training para los siguientes fabricantes : ARM, Freescale, Xilinx



Tambien ofrecemos una amplia gama de cursos de hardware/software para aplicaciones embebidas

- Los cursos pueden ser personalizados para las necesidades de su empresa, y dictados a domicilio
- Para informacion sobre otros cursos, servicios de consultoria FPGA o cores desarrollados por MVD, consultar : www.mvd-fpga.com
- Pagina en Español : Iberia & America Latina

The image is a screenshot of a website with two main columns. The left column is titled 'MVD Training' and 'Centre de formation'. It describes the training services offered, listing various processors and technologies supported. The right column is titled 'MVD Cores' and 'IP Cores solution for Digital Video Broadcasting'. It describes the IP Cores solutions for video broadcasting. At the bottom, there are links for 'Site MVD Training' and 'Site MVD Cores'. A small 'english' label is visible in the top right corner of the screenshot.

MVD Training Centre de formation

MVD Training est spécialisé dans la formation sur les produits de haute technicité pour les systèmes enfouis en électronique, depuis le VHDL jusqu'au logiciel des systèmes embarqués et temps-réel.

MVD Training dispense des formations agréées par ses partenaires XILINX, ARM, FREESCALE, ST, ATMEL :

- ▶ VHDL
- ▶ FPGAs Xilinx
- ▶ Processeurs ARM
- ▶ Processeurs FREESCALE
- ▶ Processeurs IBM
- ▶ Processeurs AMCC
- ▶ Processeurs ST
- ▶ Processeurs ATMEL
- ▶ Processeurs NXP
- ▶ Processeurs INTEL
- ▶ Interfaces MARVELL
- ▶ Interfaces TUNDRA
- ▶ Bus & Réseaux
- ▶ Linux embarqué & autres OS
- ▶ Langages

Site MVD Training

MVD Cores IP Cores solution for Digital Video Broadcasting

MVD Cores est une société spécialisée en technologies de diffusion vidéo numérique (DVB) et FPGA.

MVD Cores fournit des cœurs de propriété intellectuelle (IP Cores) pour FPGAs Xilinx pour le traitement, le transport et la transmission des standards MPEG, DVB et ATSC.

Notre catalogue de produits et services contient une large gamme d'IPs prêtes à l'emploi permettant de construire des solutions de transport depuis le MPEG-TS jusqu'à la RF.

Nos IPs couvrent pratiquement tous les standards mondiaux des technologies actuelles pour la diffusion terrestre (TNT), par câble, ou par satellite.

Site MVD Cores

Iberia & America Latina