



CURSO DE DISEÑO DE FPGA-XILINX, SPARTAN 6 EN VHDL

La Fundación México-Estados Unidos para la Ciencia (FUMEC) y la Secretaría de Economía se complacen en invitarle al:

“CURSO DE DISEÑO DE FPGA-XILINX, SPARTAN 6 EN VHDL”

Fecha de realización: 12 al 16 de Marzo de 2012.

Duración del curso: 36 hrs.

Horario: 9:00 - 18:00 hrs.

Sede: Centro de Negocio de la Universidad Autónoma de Querétaro. Ciudad de Querétaro.

Instructor: Edgard García.- Experto francés de la empresa Multivideo Designs. Especializado en diseño FPGA del Centro de entrenamiento oficial de Xilinx.

Costo del curso: \$10,000.00 pesos.

BECAS:

La Fundación México-Estados Unidos para la Ciencia, con apoyo de la Secretaría de Economía otorga **25 medias becas** por la cantidad de **\$ 5,000.00 M.N.**

Requisitos para acceder a la beca

- Ingenierías preferentemente del área de electrónica, mecatrónica y sistemas computacionales.
- Ingenieros de la industria (no indispensable).
- Enviar una carta de motivos para participar en el curso en papel membretado de la institución. Dirigida a Ing. Guillermina Avendaño, Coordinadora del Programa de Microsistemas de FUMEC.
- Enviar CV breve (máximo 2 cuartillas).

Procedimiento: Se harán dos evaluaciones para la asignación de becas. En la primer etapa se darán 15 becas (Enero 23, 2012), la segunda etapa serán 10 becas (Febrero 06, 2012). Los beneficiados deberán hacer el pago del curso (\$5,000.00) a más tardar el 10 de febrero. De no realizar el pago en la fecha señalada, se cancelará la beca y se asignará a otro participante.

Se otorgarán como máximo 2 becas por institución.



Objetivos del Curso:

- ✓ Uso del lenguaje de descripción de hardware (VHDL) optimizado para las arquitecturas FPGA y para Simulación.
- ✓ Proporcionar a los asistentes una base sólida de las arquitecturas FPGA Xilinx Spartan-6 y sus herramientas de implementación/depuración.
- ✓ Comprender la relación entre el lenguaje de descripción de hardware y su correspondiente implementación física.
- ✓ Aplicación de una metodología de diseño para reducir los ciclos de diseño/verificación y obtener resultados en el menor plazo posible con diseños robustos.
- ✓ Entender el flujo de compilación ISE 1.3 así como sus herramientas de depuración (Timing Analyzer), opciones de implementación y restricciones de timing/colocación usando Plan Ahead.
- ✓ Manejo del simulador ISIM y generación de test benches eficientes.

TEMARIO

❖ Lenguaje VHDL para síntesis

- Fundamentos del lenguaje – como usar VHDL sin caer en las trampas
- Operadores, tipos predefinidos y tipos del usuario.
- Instrucciones concurrentes y secuenciales
- Señales y variables
- Estilo de escritura del código VHDL optimizado para síntesis.
- Código genérico
- Discrepancias entre la síntesis y la simulación – como evitarlas.

❖ Lenguaje VHDL para simulación

- Nociones de testbench e instrucciones adicionales para la simulación
- Operaciones de conversión de datos
- Acceso en lectura y escritura a archivos ASCII – Vectores de test

❖ Informaciones generales sobre las arquitecturas de las FPGA Xilinx®

- Informaciones generales sobre las arquitecturas de las FPGA Xilinx®
- Recordatorio sobre las arquitecturas Spartan-3™ y Virtex-4™
- Innovaciones arquitecturales en el slice de las familias Spartan-6™, Virtex-6™ y Series-7™
- Red de distribución de relojes.
 - BUFG
 - BUFIO & BUFIO2FB
 - BUFPLL



- Dispositivos de gestión de relojes.
 - DCM
 - PLL
- Estructura de los bloques de entrada-salida
 - Flip-flops de IOs
 - Modos DDR y SDR
 - ISERDES2, OSERDES2 y generación/distribución de relojes rápidos (1GHz+)
- Bloques de RAM Spartan-6™ y Virtex-6™/Series-7™
- Bloques DSP48 Spartan-6™ y Virtex-6™/Series-7™
- ❖ **Recomendaciones sobre metodología de diseño digital**
 - Diseños multi relojes
 - Metodología de Reset – precauciones importantes
 - Simulación y uso eficiente del Timing Analyzer
 - Nociones de pipeline para incrementar las frecuencias de trabajo
 - Restricciones de timing
- ❖ **Consejos para escritura del código VHDL**
 - Consejos generales para un código válido, independiente de la herramienta de síntesis
 - Diferencias de interpretación de varias construcciones VHDL entre síntesis y simulación
 - Construcciones elegantes y eficientes frecuentemente útiles
 - Ejemplos de inferencia para funciones importantes
 - Memoria distribuida simple y doble puerto
 - Registros de desplazamientos compactos (SRL)
 - Inferencia de bloques de RAM en configuración básica
 - Código de inferencia de bloques de RAM en modo doble puerto y configuración diferente de los dos puertos de acceso
 - Ejemplos de inferencia de bloques DSP48 para funciones frecuentemente usadas
- ❖ **Opciones, restricciones y atributos de síntesis**
 - Análisis de las opciones más importantes – síntesis, Translate, Map y Par
 - Principales restricciones de timing, y uso del **Timing Analyzer**
 - Atributos de síntesis para optimización y predictibilidad de resultados
 - Restricciones para colocación de los IO (**PlanAhead**).
 - Uso eficiente del **FPGA Editor**



CURSO DE DISEÑO DE FPGA-XILINX, SPARTAN 6 EN VHDL

Las prácticas incluyen:

- Ejemplos sencillos poniendo en evidencia el incremento de potencia y flexibilidad de los slices:
 - Funciones lógicas y flip flops
 - MUXF7, MUXF8
 - Funciones aritméticas de 2 o 3 operandos.
 - Memoria single port pre inicializadas
 - Memoria dual port and quad port
 - Modos SRL (shift register)
- Uso de DCM y PLL
- ISERDES y OSERDES, modos SDR y DDR, salidas single ended o diferenciales
- Ejemplo de uso de bloques de RAM en distintos modos (single/dual port)

El curso incluye:

- Memoria USB con material del curso
- Diploma de participación
- Participación en rifa de plataformas Xilinx
- Traslado de hotel sede al lugar del curso
- Alimentos de 4 días y coffe break durante el curso

Para mayor información y/o contacto:

Ing. Guillermina Avendaño, avendano@fumec.org

Ing. Fabián Gallegos, fgallegos@fumec.org

Tel. (55) 5200 0560 x 113



MULTI VIDEO DESIGNS
FPGA Experts !