

Optimisation des performances, ISE

Ref : 002833A

Durée : 2 jours

OBJECTIFS

- Ce cours vous permettra d'optimiser votre conception afin qu'elle puisse rentrer dans un FPGA plus petit ou bien plus lent.
- Compréhension du flot de développement afin de respecter les contraintes.
- Utilisation des DCMs et PLLs.
- Duplication de registres et pipeline.
- Circuit de re-synchronisation.
- Utilisation de CoreGenerator.
- Trouver et corriger les points bloquants avec l'analyseur statique de timing.
- Contraintes avancées de timing.
- Options d'implémentations avancées pour améliorer les performances.

FORMATIONS CONNEXES

- Synthèse logique et simulation VHDL pour Conception de FPGA Xilinx (002572A)
- Implémentation de FPGA - Techniques avancées (002834A)

PARTENAIRES

- Cette formation est approuvée par XILINX

PRE-REQUIS

- Cette formation s'adresse aux ingénieurs électroniciens ayant une connaissance intermédiaire en langage HDL ainsi qu'une première expérience sur les outils ISE.

MATERIEL DE FORMATION

Configuration logicielle :

- Xilinx ISE Design Suite 11.3 Logic Edition

Configuration matérielle recommandée :

- Intel Core 2 ou équivalent
- Windows XP
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 1Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur



Contact

Tel : 05 62 13 52 32
Fax : 05 61 06 72 60
training@mvd-fpga.com

Le contenu peut-être adapté sur site

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

PROGRAMME

1^{er} Jour

- Introduction
- Ressources des Virtex-6
- CoreGenerator
- circuits d'horloge des FPGAs
- circuits d'horloge Virtex-6 et Spartan-6
 - Exercice
- Techniques de conception de FPGA
- Techniques de Synthèse
 - Exercice

2nd jour

- Tenir les contraintes de timing
 - Exercice : Révision des contraintes globales de timing
- Contraintes Timing Group et Offset
- Contraintes de timing sur un chemin spécifique
 - Exercice : Tenir les contraintes de timing
- Options d'implémentation avancée
 - Exercice : Conception pour la performance
- Démonstration : FPGA Editor, Chipscope (Optionnel)

DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.