

## Optimisation des performances, ISE

Ref : 002833A

Durée : 2 jours

### OBJECTIFS

- Ce cours vous permettra d'optimiser votre conception afin qu'elle puisse rentrer dans un FPGA plus petit ou plus lent ou tout simplement parvenir à respecter les contraintes de timing.
- Compréhension du flot de développement afin de respecter les contraintes.
- Utilisation des DCMs/PLLs et autres circuits d'horloge.
- Duplication de registres et pipeline.
- Circuit de re-synchronisation.
- Utilisation de Core Generator.
- Trouver et corriger les points bloquants avec l'analyseur statique de timing.
- Contraintes avancée de timing.
- Options d'implémentations avancées pour améliorer les performances.

### FORMATIONS CONNEXES

- Synthèse logique et simulation VHDL pour Conception de FPGA Xilinx (002572A)
- Implémentation de FPGA - Techniques avancées (002834A)
- Conception avec PlanAhead (004088A)

### PARTENAIRES

- Cette formation est approuvée par XILINX

### PRE-REQUIS

- Cette formation s'adresse aux ingénieurs électroniciens ayant une connaissance intermédiaire en langage HDL ainsi que de l'expérience sur les outils ISE.

### MATERIEL DE FORMATION

#### Configuration logicielle :

- Xilinx ISE Design Suite 13.1 Logic Edition

#### Configuration matérielle recommandée :

- Intel Core 2 ou plus récent
- Windows XP ou 7
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 2Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur

**XILINX**Authorized  
Training Provider

### Contact

Tel : 05 62 13 52 32  
Fax : 05 61 06 72 60  
training@mvd-fpga.com

**Le contenu peut-être  
adapté sur site**

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

### PROGRAMME

#### 1<sup>er</sup> Jour

- Introduction
- Ressources des FPGAs
- CoreGenerator
- circuits d'horloge des FPGAs (généralités)
- circuits d'horloge Virtex-6 et Spartan-6
  - Exercice
- Techniques de conception de FPGA
- Techniques de Synthèse
  - Exercice

\* L'exercice sur l'outil Chipscope Pro est optionnel.

#### 2<sup>nd</sup> jour

- Tenir les contraintes de timing
  - Exercice : Revue des contraintes globales de timing
- Contraintes de timing sur un chemin spécifique
  - Exercice
- Options avancées d'implémentation
  - Exercice
- Chipscope Pro
  - Exercice\*

### DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.