

## Implémentation de FPGA - Techniques Avancées

Ref : 002834A

Durée : 2 jours

### OBJECTIFS

- Qui devrait assister à cette formation ? Les ingénieurs qui recherchent une formation avancée sur les outils Xilinx afin d'améliorer les performances et l'utilisation du FPGA ainsi que leur productivité.
- Cette formation aborde les outils les plus avancés de la suite ISE et du matériel Xilinx.
- Implémentation d'un design avec script TCL.
- Contraintes de timing dans le fichier UCF.
- Contraintes de timing pour les IOs en système-synchrone et source-synchrone.
- Technologies SmartGuide
- Création de contraintes de placement régional avec planAhead
- Utilisation de FPGA Editor

### FORMATIONS CONNEXES

- Optimisation des Performances, ISE (002833A)
- Synthèse logique et simulation VHDL pour Conception de FPGA Xilinx (002572A)

### PARTENAIRES

- Cette formation est approuvée par XILINX

### PRE-REQUIS

- Au moins 6 mois de conception FPGA avec les outils Xilinx
- Avoir suivi la formation Optimisation des Performances, ISE (002833A)
- Connaissances des architectures des FPGAs Xilinx
- Connaissances intermédiaires dans un langage HDL

### MATERIEL DE FORMATION

#### Configuration logicielle :

- Xilinx ISE Design Suite 11.3 Logic Edition

#### Configuration matérielle recommandée :

- Intel Core 2 or équivalent
- Windows XP
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 1Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur



### Contact

Tel : 05 62 13 52 32  
Fax : 05 61 06 72 60  
training@mvd-fpga.com

**Le contenu peut-être adapté sur site**

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

### PROGRAMME

#### 1<sup>er</sup> Jour

- Introduction
  - Exercice : Revue des contraintes de timing
- Edition du fichier UCF et syntaxe
  - Exercice
- Contraintes de timing avancées pour les IOs
  - Exercice
- Script TCL

#### 2<sup>nd</sup> Jour

- Exercice
- Technologie SmartGuide
  - Exercice
- Placement régional (Floorplanning)
  - Exercice
- FPGA Editor
  - Exercice : modification de routage (ILA, Probing)

### DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.