

Conception DSP avec Xilinx System Generator

Ref : 002836A

Durée : 2 jours

OBJECTIFS

- Qui devrait assister à cette formation ? Les ingénieurs et les concepteurs qui utilisent les outils MathWorks Matlab, Mathworks simulink et qui ont un intérêt à développer un FPGA en utilisant Xilinx System Generator for DSP.
- Cette formation vous permet d'explorer l'outil System Generator for DSP et vous apporte l'expertise nécessaire pour développer des designs avancés et/ou à faible coût.
- Décrire le flot de conception avec l'outil System Generator for DSP
- Identifier les capacités d'un FPGA Xilinx et implémenter un design de l'algorithme à la simulation matérielle
- Lister les différents blocs disponibles dans l'outil
- Lister les blocs haut niveau disponibles pour du filtrage et de la FFT
- Faire un system multi-rate
- Embarquer deux designs à base de System Generator dans un design plus important

FORMATIONS CONNEXES

- Techniques d'implémentation DSP pour FPGA Xilinx (002838A)

PRE-REQUIS

- Connaissance de Matlab et Simulink
- Connaissance basique de traitement du signal
- Connaissance des ressources DSP dans les FPGAs Xilinx

PARTENAIRES

- Cette formation est approuvée par XILINX

MATERIEL DE FORMATION

Configuration logicielle :

- Xilinx ISE Design Suite 11.3 DSP Edition
- Matlab with Simulink Software R2008a or R2008b

Configuration matérielle recommandée :

- Intel Core 2 ou équivalent
- Windows XP
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 1Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur

Authorized
Training Provider

Contact

Tel : 05 62 13 52 32
Fax : 05 61 06 72 60
training@mvd-fpga.com

Le contenu peut-être
adapté sur site

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

PROGRAMME

1^{er} jour

- Introduction à System Generator
 - Introduction
 - Flot de design
- Les bases de Simulink
 - Stimulus et Réponse
 - Période d'échantillonnage
 - Solveur mathématique
 - Espace de travail
 - Hiérarchie et sous-système masqué
- Exercice 1 : Utilisation de Simulink
- Utilisation basique de system generator
 - Gateway In et Gateway Out
 - Type de donnée
 - Construire un design
 - Bloc sysgen
 - Co-Simulation HDL
 - Vérification matérielle
- Exercice 2 : Démarrer avec System Generator
- Routage des signaux
 - Conversion des signaux
 - Manipulation de champs de bit
 - Bloc Reinterpret
 - Bloc Convert
 - Bloc Concat
 - Bloc Slice
 - Bloc BitBasher
 - Bloc Expression

- Exercice 3 : routage des signaux
- Implémentation de mécanisme de contrôle
 - mécanisme de contrôle
 - Gestion des bursts de données
 - Bloc MCode
- Exercice 4 : Implémentation de mécanisme de contrôle

2nd jour

- Système avec plusieurs taux d'échantillonnage
 - Bloc Up-Sample/Down-Sample
 - Règles de propagation
 - Matériel
- Exercice 5 : Concevoir une filtre FIR à base de MAC
- Conception de filtres
 - Filtre FIR à base de MAC
 - FIR Compiler
 - DA Filters
 - FDATool
- Exercice 6 : concevoir un filtre FIR avec FIR Compiler ou le bloc DAFIR
 - FIR Compiler Block – ML403 Lab
 - DAFIR Block – SP3E Lab
- Intégration System Generator, ISE et EDK
 - Introduction
 - Conception et Implémentation itératives
 - Méthodologie d'horloge
 - Création d'un SoC basique et importation dans System Generator
- Exercice 7 : Intégration SysGen et ISE

DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.