

Techniques d'Implémentation de fonctions DSP pour FPGA Xilinx

Ref : 002838A

Durée : 2 jours

OBJECTIFS

- Qui devrait assister à cette formation ? Les ingénieurs et les concepteurs qui ont un intérêt à développer un FPGA qui utilise du traitement numérique du signal.
- Décrire les avantages d'un FPGA sur les processeurs pour des applications de traitement du signal.
- Utiliser de l'arithmétique en virgule fixe et identifier comment l'utiliser afin de créer des designs efficaces dans un FPGA
- Reconnaître comment les Slices et les blocs DSP48 sont utilisés pour implémenter des fonctions de traitement du signal
- Expliquer le flot de donnée dans le composant et comment utiliser les mémoires distribuées, les blocs mémoires et les registres à décalage dans un design
- Construire différents types de filtre FIR et FFT et comment optimiser cette implémentation dans un FPGA
- Expliquer les algorithmes pour la vidéo et les images et leur implémentation dans un FPGA

FORMATIONS CONNEXES

- Optimisation des performances, ISE (002833A)
- Conception DSP avec System Generator (002836A)
- Spartan 6, ISE (004851A)
- Virtex 6, ISE (004852A)

PARTENAIRES

- Cette formation est approuvée par XILINX

PRE-REQUIS

- Connaissances basiques et théoriques sur le traitement numérique du signal incluant les principes suivants :
 - Taux d'échantillonnage
 - Filtre à réponse impulsionnelle finie (FIR) et infinie (IIR)
 - Oscillateurs et mixeurs
 - Algorithme Fast Fourier Transform (FFT)

MATERIEL DE FORMATION

- Aucun matériel informatique n'est nécessaire pour cette formation, seul un crayon, une gomme, un bloc-note et une calculatrice sont nécessaires.
- A la demande des participants, un certain nombre de travaux pratiques peuvent être développés en VHDL, ce qui réduit, à durée équivalente les sujets couverts sur le plan théorique au bénéfice d'une pratique approfondie. Dans ce cas une connaissance approfondie du VHDL et de l'outil ISE est nécessaire.
- Pour les formations sur site, prévoir un vidéo projecteur.

Contact

Tel : 05 62 13 52 32
Fax : 05 61 06 72 60
training@mvd-fpga.com



Le contenu peut-être adapté sur site

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

PROGRAMME

1^{er} jour

- Retour aux bases
 - Comparaison Processeur DSP/FPGA
 - Traitement numérique du signal : Définition, Raisons et Applications
 - Rappels sur les nombres signés binaire
 - Arithmétique sur les nombres signés
 - Quantification, Saturation, Troncature et Arrondi
 - Latence / Débit
- Architecture des FPGAs
 - Introduction sur les Spartan-6 et Virtex-6
 - Architecture des CLB (Slices)
 - Blocs DSP48A1/E1
 - Ressources Bloc Mémoire
- Mathématiques sur les FPGAs
 - Addition et Soustraction
 - Accumulation
 - Multiplication
 - Autres fonctions
 - Exercice
- Registres à décalage, Mémoire et application
 - SRL32E
 - Mémoires distribuées
 - Bloc Mémoire
 - Exercice
- Le filtre FIR
 - Introduction
 - FIR à base de MAC
 - FIR semi-parallèle
 - FIR à base d'arithmétique série distribuée

- FIR parallèle
- FIR à base d'arithmétique parallèle distribuée
- L'outil FIR Compiler
- Exercice

2nd jour

- Techniques avancées de filtrage
 - Introduction
 - Filtre multi-canaux
 - Filtre interpolé et demi-bande
 - Filtre multi-rate : théorie de l'interpolation
 - Filtre multi-rate : théorie de la décimation
 - Multi-canaux et multi-rate
 - Autres fonctions et filtres
 - Exercice
- La transformée de Fourier Rapide
 - Introduction
 - Conception d'une FFT
 - Le core FFT 7.0
 - Exercice
- Vidéo et Image
 - Introduction
 - Chemin de donnée/Post traitement
 - Techniques de traitement vidéo
 - Traitement d'images
- Que faire ensuite ?
 - Le FPGA comme co-processeur
 - Les kits de développement DSP
 - Les outils de développement DSP
 - Démonstration de SystemGenerator
 - L'outil CoreGenerator

DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.