

## Conception avec les transceivers Rocket-IO Multi-Gigabit

Ref : 002843A

Durée : 3 jours

### OBJECTIFS

- Apprendre comment exploiter les blocs GTP, GTX et GTH des familles Virtex-5/6 et Spartan-6
- Comprendre et utiliser les fonctionnalités suivantes : 8B/10B, 64B/66B, Channel Bonding, Correction d'horloge, détection de comma.
- Utilisation de l'outil GTP Wizard.
- Considérations pour la synthèse et l'implémentation.
- Utilisation de Chipscope Serial IO Toolkit et IBERT.

### FORMATIONS CONNEXES

- Synthèse logique et simulation VHDL pour Conception de FPGA Xilinx (002572A).
- Conception avec la famille Virtex-6 (004852A).
- Conception avec la famille Spartan-6 (004851A).

### PARTENAIRES

- Cette formation est approuvée par XILINX

### PRE-REQUIS

- Expérience en conception FPGA Xilinx et en simulation.
- Connaissance intermédiaire dans un langage HDL.
- Idéalement, quelques connaissances sur des protocoles et standards de communications série.

### MATERIEL DE FORMATION

#### Configuration logicielle :

- Xilinx ISE Design Suite 11.3 Logic Edition

#### Configuration matérielle recommandée :

- Intel Core 2 ou équivalent
- Windows XP
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 1Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur



### Contact

Tel : 05 62 13 52 32  
Fax : 05 61 06 72 60  
training@mvd-fpga.com

**Le contenu peut-être  
adapté sur site**

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

### PROGRAMME

#### 1<sup>er</sup> Jour

- Introduction des familles Virtex-5 et Spartan-6
- Introduction aux transceivers (GTP, GTX, GTH)
- Horloge et Resets des GTP et GTX
- Encodage et décodage 8B/10B
  - Exercice : Disparité et bypass du bloc 8B/10B
- Comma et alignements
  - Exercice : Alignement des données

#### 2<sup>nd</sup> Jour

- Buffer élastique en réception et correction d'horloge
  - Exercice : Correction d'horloge
- Channel Bonding

- Exercice
- GTP Wizard
- Exercice
- Implémentation et simulation
  - Exercice
- Physical Media Attachments (PMA)

#### 3<sup>ème</sup> Jour

- encodage 64/66 des blocs Virtex-6 GTX
  - Exercice
- Conceptions des cartes à base de transceivers
- Test et Debug
  - Exercice
- Exemples d'applications

### DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.