

Conception avec les transceivers Rocket-IO Multi-Gigabit

Ref : 002843A

Durée : 3 jours

OBJECTIFS

- Apprendre comment exploiter les ports et les attributs des transceivers Multi-Giga bit des famille Spartan™-6 et Virtex™-6
- Comprendre et utiliser les fonctionnalités suivantes : 8B/10B et autre format d'encodage/décodage, Channel Bonding, Correction d'horloge, détection de comma, préaccentuation et égalisation linéaire.
- Utilisation de l'outil Architecture Wizard pour les transceivers.
- Considérations pour la synthèse et l'implémentation.
- Utilisation de Chipscope Serial IO Toolkit et IBERT.

FORMATIONS CONNEXES

- Synthèse logique et simulation VHDL pour Conception de FPGA Xilinx (002572A).
- Spartan™-6, ISE (004851A).
- Virtex™-6, ISE (004852A).

PARTENAIRES

- Cette formation est approuvée par XILINX

PRE-REQUIS

- Expérience en conception FPGA Xilinx et en simulation.
- Connaissance intermédiaire dans un langage HDL.
- Idéalement, quelques connaissances sur des protocoles et standards de communications séries.

MATERIEL DE FORMATION

Configuration logicielle :

- Xilinx ISE Design Suite 13.1 Logic Edition

Configuration matérielle recommandée :

- Intel Core 2 ou plus récent
- Windows XP ou 7
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 2Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur

Authorized
Training Provider

Contact

Tel : 05 62 13 52 32
Fax : 05 61 06 72 60
training@mvd-fpga.com

**Le contenu peut-être
adapté sur site**

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

PROGRAMME

1^{er} Jour

- Les Familles Spartan-6 et Virtex-6
- Introduction sur les transceivers (GTP, GTX, GTH)
- Horloge et Resets des transceivers
- Encodage et décodage 8B/10B
 - Exercice : Disparité et bypass du bloc 8B/10B
- Comma et détection de comma
 - Exercice : Alignement des données

2nd Jour

- Buffer élastique en réception et correction d'horloge
 - Exercice : Correction d'horloge
- Channel Bonding

- Exercice : channel bonding
- Architecture Wizard pour les GTP
 - Exercice : Génération d'un core GTP
- Implémentation et simulation
 - Exercice : synthèse et simulation
- Physical Media Attachments (PMA)

3^{ème} Jour

- L'encodage 64b/66b des Virtex-6 GTX et la GearBox
 - Exercice
- Conception des cartes avec transceivers
- Test et Debug des transceivers
 - Exercice : Utilisation d'IBERT
- Exemples d'applications des transceivers

DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.