

VHDL - Méthodologie de conception avancée

Ref : 003343A

Durée : 3 jours

OBJECTIFS

- Acquérir une solide méthodologie de conception
- Tirer le meilleur parti du langage VHDL pour la synthèse logique et pour la simulation.
- De nombreux travaux pratiques accompagnés de démonstrations permettent de vérifier le bien-fondé de cette méthodologie faisant appel entre autres à l'utilisation d'un style d'écriture VHDL approprié permettant une implémentation efficace et réutilisable, tout en facilitant la mise au point.

FORMATIONS CONNEXES

- VHDL - Initiation au langage (003342A)
- Synthèse logique et simulation VHDL pour Conception de FPGA Xilinx (002572A)

PRE-REQUIS

- Connaissances intermédiaires en conception de circuit d'électronique numérique.
- Connaissances basiques à intermédiaires en VHDL.

MATERIEL DE FORMATION**Configuration logicielle :**

- Xilinx ISE
- Outil de simulation ISIM ou Modelsim

Configuration matérielle recommandée :

- Intel Core 2 ou équivalent
- Windows XP
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 1Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur

Contact

Tel : 05 62 13 52 32
Fax : 05 61 06 72 60
training@mvd-fpga.com

Le contenu peut-être adapté sur site

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

PROGRAMME

- Rappels importants sur les règles et recommandations d'écriture du code VHDL en synthèse logique
 - Opérateurs prédéfinis et d'utilisation étendue par l'utilisation de packages standardisés
 - Les process
 - Importance de la liste de sensibilité
 - Utilisation de variables
 - Quelques pièges classiques à éviter
 - Incohérences potentielles d'interprétation entre la synthèse logique et la simulation : comment s'en affranchir ?
 - Travaux pratiques
- Méthodologie de conception hardware en synthèse logique
 - Conception asynchrone et pièges classiques
 - Métastabilité et aléas de fonctionnement
 - Limitations de la simulation fonctionnelle et timing sur les designs asynchrones : comment s'en affranchir ?
 - Conception synchrone - avantages - méthodologie - mise au point
 - Analyse statique de timing : comment l'utiliser ?
 - Optimisation de performances indépendamment de la cible
 - Notions de pipeline
 - Gestion d'événements asynchrones
 - Aléatoires
 - Flots de données
 - Travaux pratiques
- Approfondissements sur le langage VHDL pour l'optimisation et la réutilisation du code en synthèse logique
 - Notions de variables et exemples d'utilisation
 - Générécité et re-paramétrage automatique des modules réutilisables
 - Attributs prédéfinis utiles en synthèse logique
 - Fonctions et procédures
 - Définition de packages et librairies
- Travaux pratiques
- Gestion de la hiérarchie pour une meilleure réutilisation
 - Organisation de design par modules fonctionnels : quel découpage choisir ?
 - Notions d'inférence et d'instanciation
 - Quand doit-on instancier primitives ou macros ?
 - Précautions à prendre pour un code évolutif et/ou réutilisable
 - Importance du choix de noms des modules et des nets pour faciliter l'implémentation physique, la simulation et la mise au point
 - Doit-on préserver la hiérarchie lors de la synthèse logique ?
 - Travaux pratiques
- Testbenches et simulation
 - Quelques règles de base pour l'écriture d'un testbench efficace
 - Instructions VHDL spécifiques à la simulation
 - Wait et ses différentes formes
 - Boucles " Loop "
 - Assertions
 - Types de données
 - Autres
 - Ecriture de modèles de composants destinés à rendre la simulation plus réaliste
 - Utilisation de modèles et packages de simulation existants
 - Travaux pratiques
 - Intégration de " pseudo logique " afin de faciliter l'interprétation des résultats de simulation
 - Ecriture et lecture de fichiers ASCII
 - Affectation d'un flot de données à partir d'un fichier
 - Stockage des résultats de simulation dans un fichier
 - L'interpréteur de commandes
 - Génération de messages d'information
 - Travaux pratiques

DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.