

## Conception avec PlanAhead

Ref : 004088A

Durée : 2 jours

### OBJECTIFS

- Apprendre à améliorer les performances et obtenir des résultats répétables en utilisant l'outil PlanAhead.
- Apprendre les fonctionnalités et avantages de l'outil PlanAhead
- Importer un design dans l'environnement PlanAhead
- Appliquer des contraintes de placement pour les IOs de façon optimisé.
- Importer le code source HDL et analyser la netlist générée.
- Implémenter le design avec différentes stratégies.
- Analyser les statistiques, la connectivité, les timings ainsi que les résultats de placement.
- DRC et analyse Weighted Average SSO
- Insérer des cores chipscope

### FORMATIONS CONNEXES

- Optimisation de performance, ISE (002833A)
- Conception avec la famille Virtex-5 (004555A)
- Virtex-6, ISE 11 (004852A)
- Spartan-6, ISE 11 (004851A)

### PARTENAIRES

- Cette formation est approuvée par XILINX

### PRE-REQUIS

- Bonne expérience sur l'outil ISE
- Conception de plusieurs FPGA Xilinx

### MATERIEL DE FORMATION

#### Configuration logicielle :

- Xilinx ISE Design Suite 11.1 Logic Edition

#### Configuration matérielle recommandée :

- Intel Core 2 ou équivalent
- Windows XP
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 1Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur

Authorized  
Training Provider

### Contact

Tel : 05 62 13 52 32  
Fax : 05 61 06 72 60  
training@mvd-fpga.com

Le contenu peut-être  
adapté sur site

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

### PROGRAMME

#### 1<sup>er</sup> Jour

- Introduction
  - Avantages de PlanAhead
  - Fonctionnalités
  - Flot de conception
  - Création de projet
  - Exercice : Démarrer avec l'outil PlanAhead
- Placement des Entrées/Sorties et des horloges
  - Environnement PinAhead
  - Importation et analyse de la liste des IOs
  - Création et configuration des IOs
  - Création d'interface IO
  - Sélection d'un boîtier compatible
  - Placement des IOs
  - DRC et analyse WASSO
  - Exportation de la liste des IOs
  - Exercice
- Conception HDL et Analyse
  - Importation et gestion des codes sources RTL
  - Editeur HDL
  - Elaboration de la conception RTL
  - Exploration de la hiérarchie logique
  - Vue de la schématique RTL
  - Estimation de ressources
  - RTL DRC
  - Exercice
- Implémentation
  - Synthèse
  - Implémentation
  - Analyse du résultat

- Création du bitstream
- Multiple stratégies de synthèse et d'implémentation
- Exercice

#### 2<sup>nd</sup> Jour

- Analyse d'un design
  - Ressources du composant et statistiques du design
  - DRC
  - Analyse de timing
  - Vue et modification des contraintes
  - Analyse du placement
  - Utilisation du composant et mesures de timing
  - Capacités de recherche
  - Analyse des connexions logiques
  - Exercice
- Techniques de placement
  - Le pourquoi
  - Astuces
  - Technique de conception bloc
  - Placement des primitives
  - Maximiser la densité
  - Exercice
- Utilisation de Chipscope
  - Intégration de l'outil Chipscope Pro
  - Sélection des signaux pour debugger
  - Configuration des cores Chipscope
  - Implémentation des cores Chipscope
  - Exécution de l'analyseur Chipscope
  - Exercice
- Intégration avec Project Navigator (ISE)
  - Exercice

### DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.