

## Conception avec PlanAhead

Ref : 004088A

Durée : 3 jours

### OBJECTIFS

- Fonctionnalités/Avantages de PlanAhead™
- Créer un projet et importer des sources (HDL, Netlist) dans l'environnement PlanAhead
- Insérer un core issu du catalogue d'IP Xilinx ainsi que débayer avec Chipscope
- Elaborer le source HDL et analyser la netlist RTL
- Synthétiser et Implémenter le design avec différentes stratégies
- Appliquer des contraintes IOs de façon optimisé.
- Vérification des et analyse de bruit
- Appliquer les informations de la vue hiérarchique et du rapport de timing pour créer le placement optimal
- Grouper la logique dans des Pblocks.
- Appliquer un floorplan au design afin d'améliorer les performances et préserver les implémentations réalisées avec succès
- Analyser les statistiques, la connectivité, les timings, les placements et les chemins critiques du design
- Appliquer des contraintes de placement pour les ressources dédiées

### FORMATIONS CONNEXES

- Optimisation de performance, ISE (002833A)
- Implémentation de FPGA - Techniques Avancées (002834A)
- Virtex-6, ISE (004852A)
- Spartan-6, ISE (004851A)

### PARTENAIRES

- Cette formation est approuvée par XILINX

### PRE-REQUIS

- Bonne expérience sur l'outil ISE
- Conception de plusieurs FPGA Xilinx

### MATERIEL DE FORMATION

#### Configuration logicielle :

- Xilinx ISE Design Suite 13.1 Logic Edition

#### Configuration matérielle recommandée :

- Intel Core 2 ou plus récent
- Windows XP ou 7
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 2Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur



### Contact

Tel : 05 62 13 52 32  
Fax : 05 61 06 72 60  
training@mvd-fpga.com

**Le contenu peut-être adapté sur site**

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

### PROGRAMME

#### 1<sup>er</sup> Jour

- Avantages et Fonctionnalités de PlanAhead
- Gestion des projets avec PlanAhead
  - Flot de conception de l'outil PlanAhead
  - Création d'un projet
  - Gestion de projet
  - Astuces
  - Exercice : Démarrer avec l'outil PlanAhead
- Placement des Entrées/Sorties
  - Utilisation de l'environnement Pin Planning
  - Layout des IOs
  - Importation et Exportation de la liste des IOs
  - Création/configuration/placement des IOs et des interfaces
  - DRC et analyse de bruit
  - Sélection d'un boîtier compatible
  - Exercice : Placement des IOs
- Intégration de l'outil CoreGenerator
  - Exercice : Intégration d'un core
- Analyse statique de timing avec PlanAhead
  - Estimation Statique de timing avec TimeAhead
  - Analyse statique de timing post-implémentation
- Intégration avec Project Navigator (ISE)

#### 2<sup>nd</sup> Jour

- Développement et analyse RTL
  - Exploration de la hiérarchie
  - Vue Schématique RTL
  - Analyse de l'estimation de ressources
  - Analyse de timing Netlist

- Exercice : analyse RTL
- Placement des ressources dédiées
  - Qu'est-ce que le floorplanning
  - Création de contraintes de placement
  - Exercice : Placement des ressources dédiées
- PBlocks
  - Pourquoi faire du floorplanning
  - Recommandation sur la synthèse et la conception
  - PBlocks et Outil de floorplan

#### 3<sup>eme</sup> Jour

- Techniques de floorplanning
  - Les principes
  - Méthodologie
  - Exercice : analyse d'un design et flooplan
- Techniques de préservation avec les partitions
  - Exercice : Préserver pour obtenir un résultat prédictible
- Utilisation de Chipscope Pro
  - Exercice : Debug avec l'outil Chipscope Pro
- Script Tcl avec PlanAhead
  - Les bases du Tcl
  - Tcl avec PlanAhead
  - Commandes Spécifiques de PlanAhead
  - Lab 7: Tcl Commands
- La conception en équipe (Team Design) \*
  - Configuration
  - Recommandations sur la hiérarchie
- Optimisation du routage dans les Virtex-6 \*
  - Diagnostiquer un problème de routage
  - Les styles de codage HDL pour améliorer les solutions de routage

\* Ces chapitres demandent du temps supplémentaire pour pouvoir être couverts

### DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.