

Conception d'un système Logicore PCI-Express

Ref : 004552A

Durée : 2 jours

OBJECTIFS

- L'objectif de cette formation est de permettre aux stagiaires de mettre en œuvre le LogiCORE PCI-e Xilinx pour réaliser un système à base de PCI-Express.
- Comprendre la base de la spécification PCI-e et de l'architecture du bus PCI-e.
- Comprendre le flot de conception Xilinx dans une optique d'utilisation d'un logicore PCI-e.
- Comprendre les fonctionnalités du logicore PCI-e Xilinx.
- Utiliser les LogiCores PCI-e dans votre environnement de conception.
- Identifier comment les spécifications PCI-e s'appliquent aux LogiCores PCI-e.
- Cette formation cible les FPGAs Xilinx Spartan-6 et Virtex-6

PRE-REQUIS

- Connaissance de l'outil ISE
- Connaissance intermédiaire du langage VHDL
- Connaissance basique du standard PCI-Express ou connaissances approfondies du standard PCI ou PCI-X

MATERIEL DE FORMATION

Configuration logicielle :

- Xilinx ISE Design Suite 13.1 Logic Edition

Configuration matérielle recommandée :

- Intel Core 2 ou plus récent
- Windows XP ou 7
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 2Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur

FORMATIONS CONNEXES

- Le bus PCI 3.0 (002596A)
- Le bus PCI-X 2.0 (002597A)
- Le bus PCI-Express (003279A)
- Spartan™-6, ISE (004851A)
- Virtex™-6, ISE (004852A)

PARTENAIRES

- Cette formation est approuvée par XILINX

**XILINX**Authorized
Training Provider

Contact

Tel : 05 62 13 52 32
Fax : 05 61 06 72 60
training@mvd-fpga.com

**Le contenu peut-être
adapté sur site**

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

PROGRAMME

1^{er} jour

- Introduction à l'architecture d'un system PCI-e
 - Architecture
 - Les bases du protocole
 - Performance
- Résumé du protocole PCI-e
 - Types et catégories des transactions
 - Canaux virtuels et contrôle de flux
 - Espaces d'adressage et de configuration
- PCIe et Core Generator
 - Choix du core
 - Espace de configuration
- Exercice: Configuration du core PCI-e
- Simuler un system PCI-e
 - Identifier les points de simulation
 - Méthodes de simulation
 - Concevoir les bancs de test
- Connecter la logique au PCI-e core – Interface AXI
 - Introduction au protocole AXI
 - Lien PCI-e et signaux d'interface système
 - Signaux communs pour l'interface de transactions
 - Signaux de l'interface émission
 - Signaux de l'interface réception
 - Signaux de l'interface espace de configuration
 - Signaux de l'interface Couche Physique
- Détails sur le format des paquets
 - Format des paquets TLP

- MemW
- MemR
- Cpl/CplD
- Msg/MsgD
- Exercice : Simulation avec un modèle Downstream
- Concevoir l'application EndPoint
 - Examen des spécifications
 - Sélection du PCI-e core approprié
 - Registres spécifiques
 - Les responsabilités du endpoint
- Exercice : modélisation Pseudo-Transactional

2nd jour

- Application DMA
- Exercice : Implémentation
- FPGA Virtex-6 : Root Port
 - Root Port
 - Choix du core
- Respect de la norme et debug
 - Chipscope Pro et le debug d'un endpoint PCI-e
 - Test de respect de la norme
 - Outils nécessaires
- Exercice : Debug du core PCI-e avec Chipscope-Pro
- Erreurs et interruptions
 - Les erreurs PCI-e
 - Rapport avancé d'erreurs
 - Interruptions

DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.