

## Conception d'un système Logicore PCI-Express

Ref : 004552A

Durée : 2 jours

### OBJECTIFS

- L'objectif de cette formation est de permettre aux stagiaires de mettre en œuvre le LogiCORE PCI-e Xilinx pour réaliser un système à base de PCI-Express.
- Comprendre la base de la spécification PCI-e et de l'architecture du bus PCI-e.
- Comprendre le flot de conception Xilinx dans une optique d'utilisation du bus PCI-e.
- Comprendre le fonctionnement du LogiCORE PCI-e Xilinx.
- Utiliser les LogiCores PCI-e dans votre environnement de conception.
- Choisir la solution PCI-e appropriée à une application donnée.
- Identifier comment les spécifications PCI-e s'appliquent aux LogiCores PCI-e.
- Cette formation cible les FPGAs Xilinx Spartan-6 et Virtex-6

### FORMATIONS CONNEXES

- Le bus PCI 3.0 (002596A)
- Le bus PCI-X 2.0 (002597A)
- Le bus PCI-Express (003279A)
- Conception pour bus PCI-X (002842A) – LogiCore
- Conception de systèmes PCI (002841A)

### PARTENAIRES

- Cette formation est approuvée par XILINX

### PRE-REQUIS

- Connaissance de l'outil ISE
- Connaissance intermédiaire du langage VHDL
- Connaissance basique du standard PCI-Express ou connaissances approfondies du standard PCI ou PCI-X

### MATERIEL DE FORMATION

#### Configuration logicielle :

- Xilinx ISE Design Suite 11.4 Logic Edition

#### Configuration matérielle recommandée :

- Intel Core 2 ou équivalent
- Windows XP
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 1Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur



### Contact

Tel : 05 62 13 52 32  
Fax : 05 61 06 72 60  
training@mvd-fpga.com

**Le contenu peut-être  
adapté sur site**

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

### PROGRAMME

#### 1<sup>er</sup> jour

- Introduction à l'architecture d'un system PCI-e
  - Architecture
  - Les bases du protocole
  - Performance
- Résumé du protocole PCI-e
  - Types et catégories des transactions
  - Espaces d'adressage et de configuration
- PCIe et Core Generator
  - Choix du core
  - Espace de configuration
- Exercice 1 : Configuration du core PCI-e
- Simuler un system PCI-e
  - Identifier les points de simulation
  - Méthodes de simulation
  - Concevoir les bancs de test
- Connecter la logique au PCI-e core
  - Lien PCI-e et signaux d'interface système
  - Signaux communs pour l'interface de transactions
  - Exemple d'interface émission
  - Exemple d'interface réception
  - Exemple d'espace de configuration
- Commandes MemR, MemW et Complétions
  - Introduction
  - MemW

- MemR
- CplD
- Exercice 2 : Simulation avec un modèle Downstream
- Concevoir l'application EndPoint
  - Examen des spécifications
  - Sélection du PCI-e core approprié
  - Registres spécifiques
  - Les responsabilités du endpoint
- Exercice 3 : modélisation Pseudo-Transactional

#### 2<sup>nd</sup> jour :

- Application DMA
- Exercice 4 : Implémentation
- FPGA Virtex-6 : Root Port
  - Root Port
  - Choix du core
- Respect de la norme et debug
  - Chipscope Pro et le debug d'un endpoint PCI-e
  - Test de respect de la norme
  - Outils nécessaires
- Exercice 5 : Debug du core PCI-e avec Chipscope-Pro
- Erreurs et interruptions
  - Les erreurs PCI-e
  - Rapport avancé d'erreurs
  - Interruptions

### DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.