

PPC440 et CrossBar Virtex5-FXT

Ref : 004839A

Durée : 3 jours

OBJECTIFS

- Comprendre les évolutions du Cœur PPC440 avec des exemples pratiques.
- Compatibilité PPC405 et limitations d'un développement Standalone.
- Aborder les détails du cœur PPC440, notamment la gestion du Cache et de la MMU, le pipeline, la gestion des exceptions.
- Aborder les connexions du cœur : PLB, APU, DCR.
- Comprendre les fonctionnalités du Crossbar.
- Circuits de reset et d'horloge.
- Utilisation des bus LocalLink et des DMA associés.
- Donner des exemples d'architectures réalisables aisément avec EDK.

FORMATIONS CONNEXES

- Virtex PowerPC Implémentation Système (002952A)

PARTENAIRES

- Cette formation est approuvée par XILINX

PRE-REQUIS

- Expérience avec l'outil EDK

MATERIEL DE FORMATION

Configuration logicielle :

- Xilinx ISE Design Suite 11.3 Embedded Edition

Configuration matérielle recommandée :

- Intel Core 2 ou équivalent
- Windows XP
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 1Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur

Authorized
Training Provider

Contact

Tel : 05 62 13 52 32
Fax : 05 61 06 72 60
training@mvd-fpga.com

Le contenu peut-être
adapté sur site

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

PROGRAMME

Introduction

Pipeline d'Instruction

- 7 niveaux superscalaire
- gestion de branchement
- synchronisation
- Support logiciel

Unités de cache

- Structure du cache : 64 voies
- Voie normale/transitoire ou locke
- Support logiciel

MMU

- Généralités
- Structure et attributs des pages
- Support logiciel

CrossBar

- Généralités
- Arbitre
- Décodage d'adresse
- Buffers et transferts
- Support logiciel

Buffers de lecture/écriture

- Synchronisation
- Support logiciel

Gestion des exceptions

- Mécanismes
- Timer et Watchdog
- Tables des gestionnaires

Horloge et Reset

- Horloges et alignement
- Bloc générateur d'horloge
- Signaux de reset et contraintes
- Bloc générateur de reset

Debug

- Point d'arrêt matériel ou logiciel
- Point d'arrêt avancé
- Support logiciel

Interface DCR

- Adressage indirect
- Maître externe
- Support logiciel

Implémentation PLB 4.6

- Généralités
- Création de périphériques

Implémentation LocalLink et DMA

- Protocole et signaux
- Opérations DMA
- Création de périphériques
- Support logiciel

Interface Contrôleur Mémoire

- Protocole et signaux
- Blocs Contrôleurs mémoires

APU

- Généralités
- Bloc FPU

Le support logiciel constitue une présentation des fonctions disponibles en standalone (et dans certains cas des différences avec le PPC405) et des paramètres des blocs dans l'environnement EDK.

Des exemples pratiques peuvent être abordés notamment sur le LocalLink/DMA ainsi que sur l'APU.

DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.