

## Spartan-6, ISE 11

Ref : 004851A

Durée : 2 jours

### OBJECTIFS

- Apprendre à utiliser efficacement l'architecture des FPGAs Xilinx Spartan-6.
- Maîtriser la structure des CLB et des différents type de slice.
- Maîtriser les ressources d'horloges (DCM et PLL mais aussi horloges globales, régionales et d'IO).
- Concevoir efficacement avec les blocs mémoires et les blocs DSP.
- Utiliser efficacement les blocs d'Entrées/Sorties notamment avec les blocs SERDES.
- Connaître les contrôleurs mémoires.
- Techniques de codage VHDL appropriées.
- Introduction sur les ressources matériels intégrées (Multi-Gigabit Tranceivers et PCI-e)

### FORMATIONS CONNEXES

- Synthèse logique et simulation VHDL pour FPGA Xilinx (002572A)
- Optimisation des performances, ISE (002833A)
- Conception d'un système Logicore PCI-Express (004552A)
- Conception avec les transceivers Rocket-IO Multi-Gigabit (002843A)

### PARTENAIRES

- Cette formation est approuvée par XILINX

### PRE-REQUIS

- Connaissances basiques des architectures de FPGA.
- Une première expérience réussi d'une conception d'un FPGA à base de VHDL.

### MATERIEL DE FORMATION

#### Configuration logicielle :

- Xilinx ISE Design Suite 11.1 Logic Edition

#### Configuration matérielle recommandée :

- Intel Core 2 ou équivalent
- Windows XP
- 1 Go d'espace disque disponible après installation des logiciels
- Au minimum 1Go de mémoire vive
- Résolution d'affichage : au moins 1024 x 768
- Pour les formations sur site, prévoir un vidéo projecteur

Authorized  
Training Provider

### Contact

Tel : 05 62 13 52 32  
Fax : 05 61 06 72 60  
training@mvd-fpga.com

**Le contenu peut-être  
adapté sur site**

Prochaines sessions, voir ici : <http://www.mvd-training.com/fr/schedule.html>

### PROGRAMME

#### 1<sup>er</sup> Jour

- Introduction sur la famille Spartan-6
- Structures du CLB et des Slices
  - Exercice
- Ressources Mémoire
- Blocs DSP
  - Exercice
- Blocs d'Entrées/Sorties

#### 2<sup>nd</sup> Jour

- Blocs d'Entrées/Sorties (suite)
- Ressources d'horloge et de gestion d'horloges
  - Exercice
- Contrôleur mémoire
- Techniques de codage VHDL
  - Exercice
- Introduction aux ressources dédiées (MGT et PCI-e)

### DOCUMENTATION

Les supports de cours seront fournis sur papier à chaque participant pendant la formation.